هو المحبوب

دانشگاه صنعتی شریف

دانشکده مهندسی برق

آزمایشگاه اصول الکترونیک

پاییز ۱۳۹۵

گروه درس دکتر فخارزاده

شماره آزمایش (۵)		**گروه ( )**
نام و نام خانوادگی همکاران		
شماره دانشجویی		
ارزشیابی	حضور به موقع	
	پیش گزارش	
	گزارش	
	نمره کل	

نام دستیار تصحیح کننده:	**تاریخ:**

آزمایش پنجم

بهبود مشخصات تقویت‌کننده‌ی زوج تفاضلی

چکیده

در این جلسه، ابتدا از دانشجویان خواسته شده تا با استفاده از ماژول‌های پیش‌ساخته‌ی آزمایشگاه، مشخصات تقویت‌کننده‌ی امیتر مشترک و تقویت‌کننده‌ی زوج تفاضلی را در سه آرایش مختلف زیر اندازه‌گیری و با هم مقایسه کنند:

۱- امیتر مقاومتی

۲- منبع جریان در امیتر

۳- منبع جریان در امیتر و بار فعال در کلکتور.

سپس دانشجویان از آینه‌ی جریان برای بایاس کردن زوج تفاضلی استفاده می‌نمایند.

همچنین از دانشجویان خواسته شده که مشخصات مدارهای مذکور را پیش از جلسه، به صورت تحلیلی محاسبه کرده و با نرم افزار HSpice نیز شبیه‌سازی نمایند.

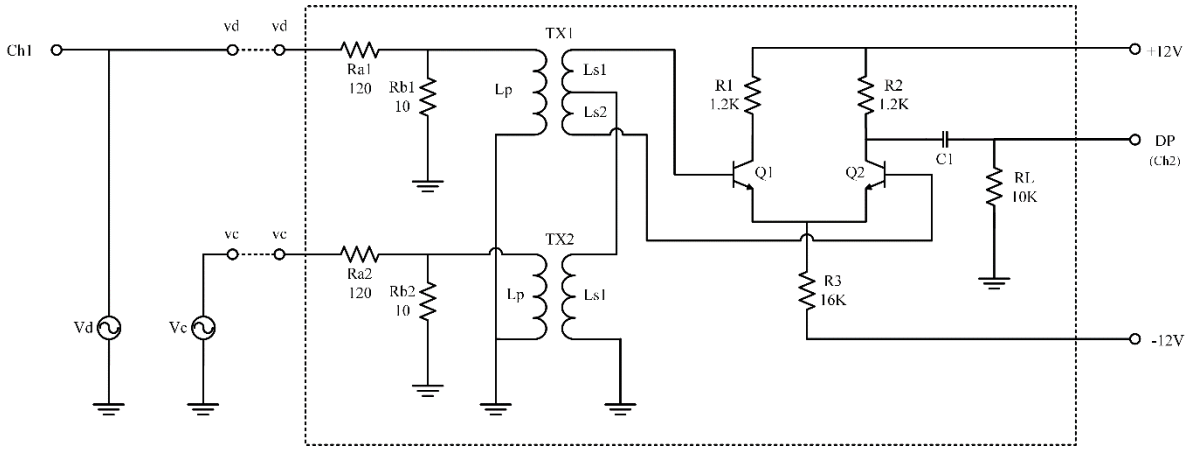
وسایل مورد نیاز

کامپیوتر و نرم افزار شبیه‌سازی HSpice، ماژولهای پیش-ساخته‌ی آزمایشگاه، منبع تغذیه، مولتی متر، اسیلوسکوپ، سیگنال ژنراتور.

پیش گزارش

(پیش گزارش را باید قبل از جلسه آماده کرده و در ابتدای جلسه به دستیار آموزشی تحویل دهید.)

۱-۱ مدار شکل ۱ را در نظر بگیرید.



شکل ۱- مدار زوج تفاضلی با مقاومت در امیتر

مشخصات المان‌های این مدار در این جلسه به شرح زیر است:

جدول ۱- مشخصات زوج تفاضلی شکل ۱

تعداد دور سیم پیچ‌های TX1	Lp	2000
	Ls1	1000
	Ls2	1000
تعداد دور سیم پیچ‌های TX2	Lp	2000
	Ls1	1000
مقدار خازن‌ها	کوپلاژ	100 uF یا بزرگتر
	بای‌پس	100 uF یا بزرگتر
فرکانس سیگنال ورودی	V_d=Vid	1 kHz
	V_c=Vic	100 Hz

الف- نقش ترانس در ورودی مدار چیست؟ نحوه‌ی اعمال ورودی تفاضلی و مشترک را با استفاده از آن بیان کنید.

ب- مدار شکل ۱ را تحلیل کرده و بهره و اندازه‌ی خروجی v_{DP-pp} را در جدول ۲ وارد کنید.

راهنمایی- بهره‌ی خواسته شده برای کل مسیر از ورودی به خروجی باید محاسبه شود. بنابراین به تعداد دورهای ترانس‌ها و تقسیم مقاومتی دقت کنید.

جدول ۲ - نتایج تحلیل مدار زوج تفاضلی با مقاومت در امیتر

ورودی ها	$A_{vd}=\frac{v_{DP}}{v_d}$	v_{DP-pp}
$v_c=0, v_d=100mV$		
$v_c=0, v_d=2V$		

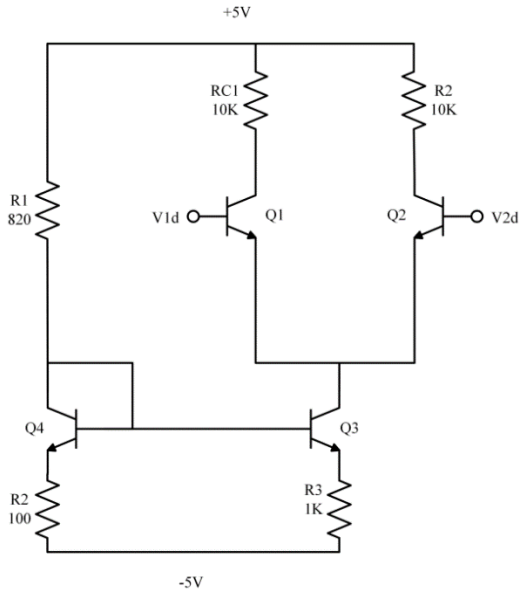
ب- این مدار را شبیه‌سازی کرده و بهره و اندازه‌ی خروجی (peak to peak) را در جدول ۳ وارد کنید.

جدول ۳ - نتایج شبیه سازی مدار زوج تفاضلی با مقاومت در امیتر

ورودی ها	$A_{vd}=\frac{v_{DP}}{v_d}$	v_{CE-pp}
$v_c=0, v_d=100mV$		
$v_c=0, v_d=2V$		

پ- سوییِنگ خروجی(peak to peak) را با محاسبه و شبیه‌سازی به‌دست آورید.

۱-۲ با توجه به شکل ۲ نقطه‌ی کار ترانزیستورها را به‌دست آورید و در جدول ٤ وارد نمایید. نتایج خود را با شبیه‌سازی تایید نمایید و در جدول ۵ ثبت کنید.



شکل ۲- مدار زوج تفاضلی بایاس شده توسط آینه جریان ویدلار

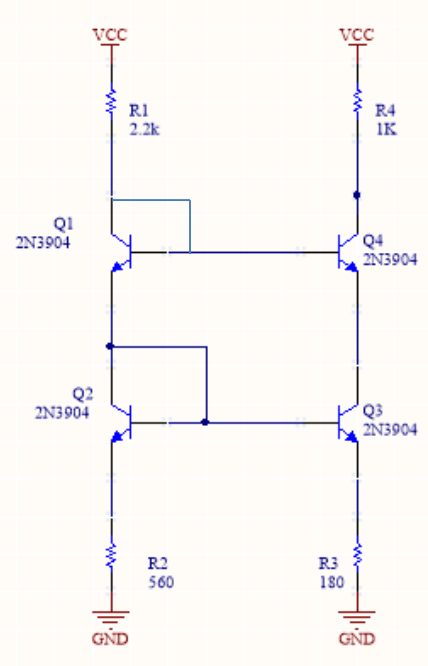
جدول ٤- نتایج تحلیل مدار زوج تفاضلی با آینه جریان

ترانزیستور	I_C	V_{CE}
$Q1$		
$Q2$		
$Q3$		
$Q4$		

جدول ۵- نتایج شبیه‌سازی مدار زوج تفاضلی با آینه جریان

ترانزیستور	I_C	V_{CE}
$Q1$		
$Q2$		
$Q3$		
$Q4$		

۱-۳ اختیاری: با توجه به مدار شکل ۳ نقطه‌کار ترانزیستور ها را به‌دست آورید در جدول ٦ وارد نمایید. نتایج خود را با شبیه سازی تایید نمایید و در جدول ۷ ثبت کنید.



شکل ۳-منبع جریان کسکود ویدلار

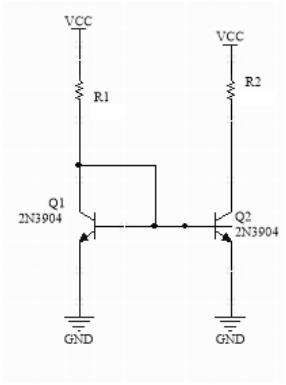
جدول ٦- نتایج تحلیل مدار منبع جریان کسکود ویدلار

ترانزیستور	I_C	V_{CE}
$Q1$		
$Q2$		
$Q3$		
$Q4$		

جدول ۷- نتایج شبیه‌سازی مدار منبع جریان کسکود ویدلار

ترانزیستور	I_C	V_{CE}
$Q1$		
$Q2$		
$Q3$		
$Q4$		

۱-٤ با توجه به مدار شکل ٤ مقادیر مقاومت‌ها را طوری بیابید که منبع جریان برای جریان خروجی ۲ میلی آمپر طراحی شده باشد. نتایج خود را با اسپایس تایید نموده و مقدار مقاومت ها را ثبت نمایید.($I_{sQ1}=I_{sQ2}$)



شکل٤- منبع جریان ساده

جدول۸-نتایج تحلیل و شبیه‌سازی منبع جریان ساده

	مقادیر دستی	نتایج شبیه‌سازی
R1		
R2		

ب) حال با قرار دادن مقاومت‌های مناسب (R_{E1} و R_{E2}) (کمتر از ۱ کیلو اهم) در امیتر هر ترانزیستور:

۱) با فرض $I_{sQ1}=I_{sQ2}$ مقاومت‌ها را برای جریان‌های $I_{cQ1}=2mA$ و $I_{cQ2}=0.1mA$ طراحی کرده و با اسپایس نتایج خود را تایید نمایید و در جدول ۹ ثبت کنید.

جدول۹-نتایج تحلیل و شبیه‌سازی منبع جریان ویدلار

	مقادیر دستی	نتایج شبیه‌سازی
R1		
R2		
R_E1		
R_E2		

۲) با فرض $I_{sQ1}=\alpha I_{sQ2}$ نسبت مقاومت‌ها را برای جریان‌های $I_{cQ1}=2mA$ و $I_{cQ2}=0.1mA$ به‌دست‌آورید.

گزارش کار

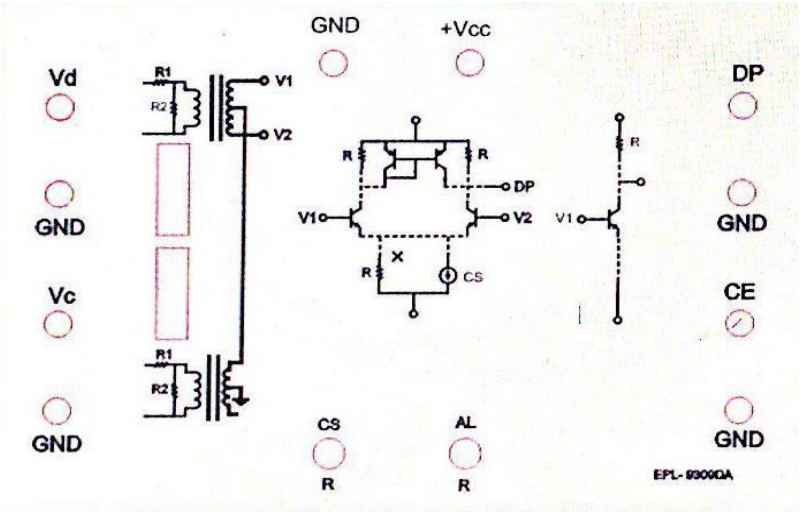
توجه : صفحات ۷ تا ۱٤ را پس از انجام آزمایش تکمیل کرده و به عنوان گزارش کار تحویل دهید.

نام و نام خانوادگی: شماره دانشجویی:	نام و نام خانوادگی: شماره دانشجویی:
شماره‌ی گروه:	
تاریخ انجام آزمایش:	

دستور کار

۲-۱ کار با ماژول زوج تفاضلی

در ماژول پیش‌ساخته‌ی زوج تفاضلی یک مدار امیتر مشترک و یک طبقه‌ی تفاضلی پیاده‌سازی شده است. با کلید R/CS مقاومت یا منبع جریان در امیتر زوج تفاضلی انتخاب می‌شود و با کلید R/AL بار مقاومتی یا بار فعال انتخاب می‌شود. ولتاژ تغذیه را روی ۱۲ولت تنظیم نمایید.



شکل ۵- شماتیک ماژول پیش‌ساخته‌ی زوج تفاضلی

R: Resistor DP: Differential Pair output CS: Current Source CE= Common Emitter output

AL: Active Load Vc: Vic (Input common mode voltage) Vd: Vid (Input differential voltage)

۲ـ۱ـ۱ مدار امیتر مشترک

الف- ورودی‌های v_c و v_d را به ترتیب با فرکانس‌های 100Hz و 1kHz به مدار اعمال کرده و مقادیر خواسته‌شده را اندازه‌گیری و در جدول ۱۰ وارد کنید.

جدول ۱۰- نتایج اندازه‌گیری مدار امیتر مشترک

ورودی ها	$A_v = \frac{v_{CE}}{v_d}$ or $\frac{v_{CE}}{v_c}$	v_{CE-pp}
$v_c = 0, v_d = 100mV$		
$v_c = 0, v_d = 2V$		
$v_c = 100mV, v_d = 0$		

ب- ورودی تفاضلی و مشترک را با دامنه‌های برابر 50 mV و همان فرکانس‌های قبلی به صورت همزمان به مدار اعمال کرده و شکل موج خروجی را رسم کنید:

پ- در حالی که سیگنال خروجی را روی اسیلوسکوپ مشاهده می‌کنید، اندازه‌ی سیگنال ورودی v_d را به تدریج زیاد کنید. سوییِنگ قله تا قله‌ی خروجی چقدر است؟

$V_{out,PP} =$

۲-۱-۲ مدار زوج تفاضلی با مقاومت در امیتر

سوییچ R/AL را در حالت R و سوییچ R/CS را در حالت R قرار دهید. (بار مقاومتی و مقاومت در امیتر زوج تفاضلی)

الف- ورودی‌های v_c و v_d را به ترتیب با فرکانس‌های 100Hz و 1kHz به مدار اعمال کرده و مقادیر خواسته شده را اندازه‌گیری و در جدول ۱۱ وارد کنید.

جدول ۱۱- نتایج اندازه‌گیری مدار زوج تفاضلی با مقاومت در امیتر

ورودی ها	$A_v = \frac{v_{DP}}{v_d}$ or $\frac{v_{DP}}{v_c}$	v_{DP-pp}
$v_c = 0, v_d = 100mV$		
$v_c = 0, v_d = 2V$		
$v_c = 1V, v_d = 0$		

ب- با توجه به قسمت الف، CMRR را محاسبه کنید.

CMRR=

پ- حداکثر سوئینگ قله تا قله‌ی خروجی را تعیین کنید.

$V_{out,PP} =$

ت- بهره‌ی مدار تفاضلی به همراه بار مقاومتی را با مدار امیتر مشترک مقایسه کنید و شباهت یا تفاوت این دو را شرح دهید.

۲-۱-۳ مدار زوج تفاضلی با منبع جریان در امیتر

سوییچ R/AL را در حالت R و سوییچ R/CS را در حالت CS قرار دهید. (بار مقاومتی و منبع جریان در امیتر زوج تفاضلی)

الف- ورودی‌های v_c و v_d را به ترتیب با فرکانس‌های 100Hz و 1kHz به مدار اعمال کرده و مقادیر خواسته‌شده را اندازه‌گیری و در جدول ۱۲ وارد کنید.

جدول ۱۲- نتایج اندازه‌گیری مدار زوج تفاضلی با منبع جریان در امیتر

ورودی ها	$A_v = \frac{v_{DP}}{v_d}$ or $\frac{v_{DP}}{v_c}$	v_{DP-pp}
$v_c = 0, v_d = 100mV$		
$v_c = 1V, v_d = 0$		

ب- با توجه به قسمت الف، CMRR را محاسبه کنید.

CMRR=

پ- حداکثر سوئینگ قله تا قله‌ی خروجی را تعیین کنید.

$V_{out,PP} =$

ت- با مقایسه ی CMRR این بخش و بخش قبل، علت تغییرات را توضیح دهید .

۲-۱-۴ مدار زوج تفاضلی با منبع جریان در امیتر و بار فعال

سوییچ R/AL را در حالت AL و سوییچ R/CS را در حالت CS قرار دهید. (بار فعال و منبع جریان در امیتر زوج تفاضلی)

الف- ورودی‌های v_c و v_d را به ترتیب با فرکانس‌های 100Hz و 1kHz به مدار اعمال کرده و مقادیر خواسته‌شده را اندازه‌گیری و در جدول ۱۳ وارد کنید.

جدول ۱۳- نتایج اندازه‌گیری مدار زوج تفاضلی با منبع جریان در امیتر و بار فعال

ورودی ها	$A_v = \frac{v_{DP}}{v_d}$ or $\frac{v_{DP}}{v_c}$	v_{DP-pp}
$v_c = 0, v_d = 100mV$		
$v_c = 1V, v_d = 0$		

ب- با توجه به قسمت الف، CMRR را محاسبه کنید.

CMRR=

پ- حداکثر سوئینگ قله تا قله‌ی خروجی را تعیین کنید.

$V_{out,PP} =$

پ- ورودی تفاضلی و مشترک را با دامنه‌ی 100 mV و همان فرکانس‌های قبلی به‌صورت همزمان به مدار اعمال کرده و شکل موج خروجی را رسم کنید:

۲ـ۱ـ۵ مقایسه و نتیجه‌گیری

الف- نتایج آزمایش‌های فوق را در جدول ١٤ جمع‌آوری کرده و به سوالات پاسخ دهید.

جدول ١٤- مقایسه‌ی نتایج

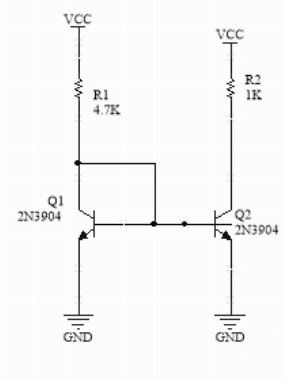
مدار	امیتر مشترک	تفاضلی ساده	منبع جریان	بار فعال
A_{v_d}				
A_{v_c}				
$CMRR$				

ب- اضافه کردن منبع جریان به طبقه‌ی تفاضلی ساده (با مقاومت در امیتر) باعث چه بهبودی در مشخصات شده است؟

پ- اضافه کردن بار فعال به طبقه‌ی تفاضلی با منبع جریان باعث چه بهبودی در مشخصات شده است؟

۲-۱-۲ استفاده از آینه‌ی جریان در بایاس زوج تفاضلی

الف- مدار شکل ٦ را بر روی بردبورد ببندید و جدول ۱۵ را کامل کنید. (V_{cc}=5V)



شکل ٦- آینه جریان

جدول ۱۵- بایاس مدار آینه جریان ساده

ترانزیستور	I_C	V_{CE}	V_{BE}
$Q1$			
$Q2$			

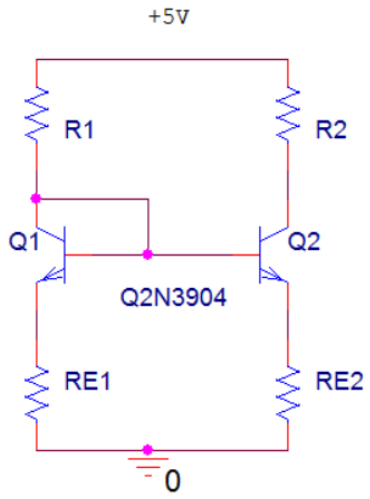
ب- حال با قرار دادن دو مقاومت یکسان (حوالی ۱۸۰ اهم) در امیتر دو ترانزیستور مقادیر را مجددا اندازه‌گیری و در جدول ١٦ ثبت کنید.

جدول ١٦- بایاس مدار آینه جریان پس از رفع mismatch

ترانزیستور	I_C	V_{CE}	V_{BE}
$Q1$			
$Q2$			

ت- علت تفاوت‌های احتمالی نتایج خود را با محاسبه و شبیه‌سازی خود در بخش پیش‌گزارش ذکر کنید.

ث) مدار شکل ۷ را بر اساس مقادیر طراحی خود در پیش‌گزارش بسته و نقطه‌ی کار ترانزیستورها را در جدول ۱۷ ثبت نمایید. (Vcc=5V)



شکل۷-منبع جریان ساده ی ویدلار

جدول ۱۷-بایاس مدار آینه جریان ویدلار

ترانزیستور	I_C	V_{CE}	V_{BE}
$Q1$			
$Q2$			

اختیاری: با تغییر مقادیر مقاومت‌های RE2 و RE1 جریان‌های کلکتور Q1 و Q2 را به‌دست آورید و در جدول ۱۸ ثبت نمایید.

جدول۲۱-بایاس مدار آینه جریان ویدلار

ترانزیستور	I_C	V_{CE}
$Q1$		
$Q4$		