۱- ترانزیستور nMOS با طول کانال نسبتا بزرگ و گیت n+ poly-Si و با $W/L = 10$ و $t_{Ox} = 2nm$ و بدنه‌ی سیلیکانی با دوپینگ $N_A = 10^{18} cm^{-3}$ را در نظر بگیرید.

الف) V_{GS} لازم برای آنکه مقاومت بین سورس-درین به ازای V_{DS} های کوچک برابر 1 k باشد را محاسبه کنید. (لازم است موبیلیتی موثر $_{eff}$ را از روی منحنی بخوانید)

ب) چگالی بارهای وارونه Q_{inv}/q (electrons/cm^2) را در وضعیت پاسخ الف بیابید. آیا می‌توانید ضخامت بارهای وارونه T_{inv} را تخمین بزنید؟ با این مقادیر چگالی حامل‌های وارون (در این‌جا الکترون‌ها) در واحد حجم (electrons/cm^3) چقدر باید باشد؟

ج) فاکتور بار بدنه m را بدست آورید .

د) منحنی I_{DS} برحسب V_{DS} را برای $V_{GS} = 0.5V$ و $V_{GS} = 1V$ بازای $0 < V_{DS} < 1V$ (با مشخص کردن $V_{DS_{sat}}$ و $I_{DS_{sat}}$) رسم کنید. پارامتر مدولاسیون بدنه را $\lambda = 0.1$ فرض کنید.

ه) کیفی بیان کنید منحنی قسمت د) با کاهش N_A چگونه تغییر می‌کند؟ (تاثیر N_A را روی V_T و μ_{eff} و m و λ باید لحاظ کنید)

و) پارامتر تاثیر بدنه γ را محاسبه کنید. تغییرات V_T بر حسب V_{SB} را بازای $0 < V_{SB} < 2V$ رسم کنید. (چرا این منحنی را بازای V_{SB} های منفی نکشیده‌ایم؟) . چگونه می‌توان تاثیر بدنه را کاهش داد؟

۲- برای ترانزیستوری که در ولتاژ زیر آستانه ($V_{GS} < V_T$) کار می‌کند، مشخصه خاموش بودن با سوییِنگ زیرآستانه (subthreshold swing) مشخص می‌گردد. که واحد آن mV/decade است و برابرست با

$$S = \frac{kT}{q} \ln 10 \left[1 + \frac{C_{depl_{min}}}{C_{Ox}}\right]$$

ترانزیستوری را در نظر بگیرید با $t_{Ox} = 3nm$ و $W_T = 50nm$ و فرض کنید ولتاژ آستانه را تعریف می‌کنیم

$$\left.\frac{I_{DS}}{W/L}\right|_{V_{GS}=V_T} = 100nA \ \ (for\ V_{DS} = 100mV)$$

الف) اگر بخواهیم جریان نشتی نرمالیزه شده ($\frac{I_{DS}}{W/L}$) کمتر از $10pA$ بازای $V_{GS} = 0V$ و $V_{DS} = 100mV$ باشد، کمینه ولتاژ آستانه را مشخص کنید.

ب) اگر جریان نشتی تا $100nA$ بتواند زیاد شود جواب قسمت قبل چه تغییری می‌کند؟ چرا هر چه S کوچک‌تر باشد بهتر است؟

۳ - در کاربردهای آنالوگ ترانزیستور MOS معمولا در ناحیه‌ی اشباع. برای تقویت‌کنندگی استفاده می‌شود. در این موارد دوست داریم بهره ذاتی مدار ($\frac{g_m}{g_d}$) بیشینه گردد.

الف) استدلال کنید چگونه برای بیشینه کردن g_m مقداری بهینه برای ولتاژ گیت (V_{GS}) وجود دارد!

ب) برای بسیاری از تکنولوژی‌های زیر 50nm ، بهره‌ی ذاتی با کاهش طول کانال کاهش می‌یابد. چرا؟

۴ - سرعت اشباع الکترون‌ها در سیلیکان را $v_{sat} = 8\times10^6$ cm/sec فرض کنید. در یک ترانزیستور nMOS با $t_{Ox} = 3nm$ و $V_T = 0.3V$; $W_T = 50nm$ و $V_{GS} = 1V$ به سوالات زیر پاسخ دهید.

الف) $V_{D_{sat}}$ چقدر است اگر

$L = 1\mu m$. آیا افزاره کانال بلند است یا کانال کوتاه؟

$L = 0.1\mu m$. آیا افزاره کانال بلند است یا کانال کوتاه؟

ب) $V_{D_{sat}}$ چگونه تغییر می‌کند اگر

t_{Ox} کم شود.

$V_{GS} - V_T$ کم شود.

۵ - آن‌گونه که در درس مطرح شد ساختار دوپینگ کانال retrograde مزایایی دارد. این مزایا را ذکر کنید.

فرض کنید تا ضخامت T_{Si} زیر اکسید ناحیه‌ای با دوپینگ اندک N_A و بعد از آن دوپینگ زیاد N_A^+ را داریم.

الف) نمودارهای نوارهای انرژی را در وضعیت ولتاژ آستانه برای بدنه‌ی retrograde بالا و گیت n+poly-Si را رسم کنید. (برای ساده‌تر شدن فرض کنید $N_A^+ \gg N_A \approx 0$)

ب) میدان الکتریکی در سطح سیلیکان در وارونگی شدید چقدر است؟

ج) رابطه‌ای برای افت ولتاژدو سر اکسید V_{Ox} بر حسب T_{Si} و φ_F و ε_{Si} ارایه دهید. (فرض کنید بار اکسید صفر است)

ج) رابطه‌ای برای ولتاژ آستانه V_T ارایه دهید. و آنرا با ماسفتی با دوپینگ بدنه N_A مقایسه کنید.